2. Načrt vezij

NOR zatič NAND zatič

Simbol za RS pomnilne celice

 S – Vhod za setiranje celice

 R – Vhod za resetiraje celice

 Q – Pravi izhod

 Q – Negirani izhod

3. Seznam preizkusne opreme

Tip: DIGI BOARD 2 št.: 00574

4. Pravilnostne tabele

NOR zatič

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | Q | Q |
| 0 | 0 | Q | Q | Ohranitev predhodnega stanja |
| 0 | 1 | 1 | 0 | Setiranje zatiča |
| 1 | 0 | 0 | 1 | Resetrianje zatiča |
| 1 | 1 | 0 | 0 | Nedovoljeno stanje |

NAND zatič

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | Q | Q |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | Q | Q |

Nedovoljeno stanje

Setiranje pomnilne celice

Resetiranje pomnilne celice

Ohranitev predhodnega stanja

RS pomnilne celice

|  |  |  |  |
| --- | --- | --- | --- |
| R | S | Q | Q |
| 0 | 0 | Q | Q | Ohranitev predhodnega stanja |
| 0 | 1 | 1 | 0 | Setiranje celice |
| 1 | 0 | 0 | 1 | Resetiranje celice |
| 1 | 1 | X | X | Prepovedana kombinacija na vhodu celice |

5. Opis merilne metode

NOR zatič

Ko je vhod A v stanju logične 0, in vhod B v stanju logične 0, se na izhodu ohrani predhodno stanje.

Ko je vhod A v stanju logične 0, in vhod B v stanju logične 1, je izhod Qv stanju logične 1, izhod Q pa v stanju logične 0.

Ko je vhod A v stanju logične 1, in vhod B v stanju logične 0, je izhod Q v stanju logične 0, izhod Q pa v stanju logične 1.

Ko sta vhoda A in B v stanju logične 1, sta izhoda v nedovoljenem stanju.

NAND zatič

Ko sta vhoda A in B v stanju logične 0, sta izhoda v nedovoljenem stanju.

Ko je vhod A v stanju logične 0, in vhod B v stanju logične 1, je izhod Q v stanju logične 1, izhod Q pa v stanju logične 0.

Ko je vhod A v stanju logične 1, in vhod B v stanju logične 0, je izhod Q v stanju logične 0, izhod Q pa v stanju logične 1.

Ko je vhod A v stanju logične 1, in vhod B v stanju logične 1, se na izhodu ohrani predhodno stanje.

RS pomnilne celice

Ko je vhod R v stanju logične 0, in vhod S v stanju logične 0, se na izhodu ohrani predhodno stanje.

Ko je vhod R v stanju logične 0, in vhod S v stanju logične 1, je izhod Q v stanju logične 1, izhod Q pa v stanju logične 0.

Ko je vhod R v stanju logične 1, in vhod S v stanju logične 0, je izhod Q v stanju logične 0, izhod Q pa v stanju logične 1.

Ko sta vhoda A in B v stanju logične 1, je na vhodu celice prepovedana kombinacija .